

N of P15 (copy)

CLIPPEDIMAGE= JP406204475A

PAT-NO: JP406204475A

DOCUMENT-IDENTIFIER: JP 06204475 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: July 22, 1994

INVENTOR-INFORMATION:

NAME

NATORI, AKIO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP05001083

APPL-DATE: January 7, 1993

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/288

ABSTRACT:

PURPOSE: To provide a semiconductor device, which is provided with a MOSFET that has source/drain regions formed of a high concentration region and a low concentration regions and protects an internal circuit from a high voltage from the outside, and provide its manufacture.

CONSTITUTION: A P-type impurity diffused layer 11 is formed on the external side of the source/drain regions 9 of an N-channel type MOSFET 10. The width of the side wall spacer on the gate electrode sidewall of a MOSFET is permitted to be narrower than the width of the sidewall spacer on the gate electrode sidewall of other MOSFETs. Therefore, the reverse direction breakdown strength of a junction diode formed between the source/drain regions 9 and a substrate is reduced to the insulation breakdown strength of the gate film or lower so as to prevent high potential on the gate film and an internal circuit is protected

from a high voltage from the outside.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-204475

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 29/784		9054-4M	H 0 1 L 29/ 78	3 0 1 S
		9054-4M		3 0 1 K

審査請求 未請求 請求項の数5 (全 7 頁)

(21)出願番号 特願平5-1083

(22)出願日 平成5年(1993)1月7日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 名取 明生

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

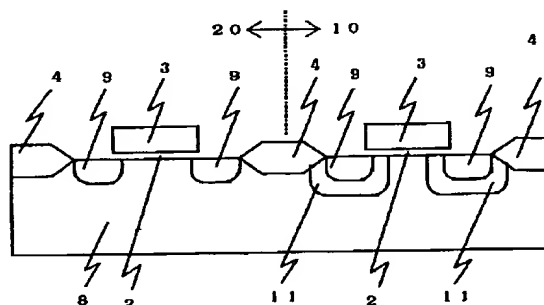
(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【目的】高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETを具備する半導体装置において、外部から入ってくる高電圧から、内部回路を保護する半導体装置及び半導体装置の製造方法を提供する。

【構成】Nチャンネル型MOSFET10のソース・ドレイン領域9の外側に、P型不純物拡散層11が形成されている。またMOSFETのゲート電極側壁のサイドウォールスペーサの幅が、他のMOSFETのゲート電極側壁のサイドウォールスペーサの幅よりも狭くする。

【効果】ソース・ドレイン領域と基板間で形成されるジャンクションダイオードの逆方向耐圧をゲート膜の絶縁耐圧以下に下げ、高電位がゲート膜にかからないようにすることで、外部からの高電圧から、内部回路を保護する事ができる。



【特許請求の範囲】

【請求項1】 第一導電型半導体基板内に第二導電型MOSFETを具備する半導体装置において、少なくとも一つ以上の第二導電型MOSFETのソース・ドレイン領域の外側に、前記半導体基板よりも高濃度の第一導電型不純物拡散層が配設されていることを特徴とする半導体装置。

【請求項2】 第一導電型半導体基板上に、素子分離膜を形成する工程と、
前記半導体基板上に、MOSFETのゲート酸化膜を形成する工程と、
前記ゲート酸化膜上に、MOSFETのゲート電極を形成する工程と、
少なくとも一つ以上の第二導電型MOSFET形成領域が開口されるようにフォトリソのパターンを形成する工程と、
前記素子分離膜と前記ゲート電極と前記フォトリソをマスクとして、第一導電型不純物を前記半導体基板中に導入し、第二導電型MOSFETのソース・ドレイン領域の外側を取り囲む第一導電型不純物拡散層を形成する工程と、
全ての第二導電型MOSFET形成領域において、前記素子分離膜と前記ゲート電極をマスクとして、第二導電型不純物を半導体基板中に導入し、第二導電型MOSFETのソース・ドレイン領域を形成する工程を具備することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETを具備する半導体装置において、入出力端子に接続されるMOSFETのソース・ドレイン領域が、高濃度領域のみで構成されていることを特徴とする半導体装置。

【請求項4】 高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETを具備する半導体装置において、少なくとも一つ以上のMOSFETのゲート電極側壁のサイドウォールスペースの幅が、他のMOSFETのゲート電極側壁のサイドウォールスペースの幅よりも狭いことを特徴とする半導体装置。

【請求項5】 半導体基板上に、素子分離膜を形成する工程と、
前記半導体基板上に、MOSFETのゲート酸化膜を形成する工程と、
前記ゲート酸化膜上に、MOSFETのゲート電極を形成する工程と、
前記素子分離膜と前記ゲート電極をマスクとして、不純物を半導体基板中に導入し、ソース・ドレイン領域の低濃度領域を形成する工程と、
前記ゲート電極の側壁にサイドウォールスペースを形成する工程と、
少なくとも一つ以上のMOSFETの形成領域が開口さ

れるようにフォトリソのパターンを形成する工程と、
前記フォトリソをマスクとして、開口部内のサイドウォールスペースの一部を除去する工程と、
全てのMOSFET形成領域において、前記素子分離膜と前記ゲート電極と前記サイドウォールスペースをマスクとして、不純物を半導体基板中に導入し、ソース・ドレイン領域の高濃度領域を形成する工程を具備することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MOSFETの構造および製造方法に関し、特に、MOSFETのソース・ドレイン領域の構造および製造方法に関する。

【0002】

【従来の技術】従来技術における、高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETの構造を図6に示す。

【0003】シリコン基板1表面上に、ゲート酸化膜2及びゲート電極3が形成されている。

【0004】シリコン基板1内に形成されているソース・ドレイン領域は、ゲート電極3及び素子分離膜4をマスクとして自己整合的に形成された、第一導電型不純物層からなる低濃度領域5と、ゲート電極3及びサイドウォールスペース6及び素子分離膜4をマスクとして自己整合的に形成された、同じく第一導電型不純物層からなる高濃度領域7の二つの領域により構成されている。

【0005】

【発明が解決しようとする課題】このような従来技術によるソース・ドレイン領域の構造は、以下のような問題点を有していた。

【0006】通常の半導体装置においては、外部から入ってくる異常な高電圧、特に静電気から内部の回路を保護するために、入出力端子につながるMOSFETには、静電気対策が施されている。

【0007】その一つの方法としては、MOSFETのソース・ドレイン領域と基板間に形成されるジャンクションダイオードを利用して、ジャンクションダイオードの逆方向耐圧以上の高電圧がかかった場合に、電流をソース・ドレイン領域から基板側に流す方法がある。

【0008】しかし、近年の半導体装置の微細化によるゲート膜の薄膜化により、ソース・ドレイン領域と基板間のジャンクションダイオードの逆方向耐圧よりも、ゲート膜の絶縁耐圧の方が低くなってしまい、ジャンクションダイオードがブレイクする前に、端子から入ってきた高電圧によりゲート膜が破壊されてしまう現象が大きな問題となってきている。

【0009】そこで、本発明はこのような課題を解決しようとするもので、その目的とするところは、高濃度領域と低濃度領域からなるソース・ドレイン領域を有する

3

MOSFETを具備する半導体装置において、任意のMOSFETのソース・ドレイン領域の構造を変更することにより、外部から入ってくる高電圧から、内部回路を保護する半導体装置及び半導体装置の製造方法を提供するところにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、第一導電型半導体基板内に第二導電型MOSFETを具備する半導体装置において、少なくとも一つ以上の第二導電型MOSFETのソ

ース・ドレイン領域の外側に、前記半導体基板よりも高濃度の第一導電型不純物拡散層が配設されていることを特徴とする。

【0011】上記目的を達成するために、本発明の半導体装置の製造方法は、第一導電型半導体基板上に、素子分離膜を形成する工程と、前記半導体基板上に、MOSFETのゲート酸化膜を形成する工程と、前記ゲート酸化膜上に、MOSFETのゲート電極を形成する工程と、少なくとも一つ以上の第二導電型MOSFET形成領域が開口されるようにフォトリソグロフィーのパターンを形成する工程と、前記素子分離膜と前記ゲート電極と前記フォトリソグロフィーをマスクとして、第一導電型不純物を前記半導体基板中に導入し、第二導電型MOSFETのソ

ース・ドレイン領域の外側を取り囲む第一導電型不純物拡散層を形成する工程と、全ての第二導電型MOSFET形成領域において、前記素子分離膜と前記ゲート電極をマスクとして、第二導電型不純物を半導体基板中に導入し、第二導電型MOSFETのソース・ドレイン領域を形成する工程を具備することを特徴とする。

【0012】上記目的を達成するために、本発明の半導体装置は、高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETを具備する半導体装置において、入出力端子に接続されるMOSFETのソース・ドレイン領域が、高濃度領域のみで構成されていることを特徴とする。

【0013】上記目的を達成するために、本発明の半導体装置は、高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETを具備する半導体装置において、少なくとも一つ以上のMOSFETのゲート電極側壁のサイドウォールスペースの幅が、他のMOSFETのゲート電極側壁のサイドウォールスペースの幅よりも狭いことを特徴とする。

【0014】上記目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、素子分離膜を形成する工程と、前記半導体基板上に、MOSFETのゲート酸化膜を形成する工程と、前記ゲート酸化膜上に、MOSFETのゲート電極を形成する工程と、前記素子分離膜と前記ゲート電極をマスクとして、不純物を半導体基板中に導入し、ソース・ドレイン領域の低濃度領域を形成する工程と、前記ゲート電極の側壁にサイドウォ

4

ールスペースを形成する工程と、少なくとも一つ以上のMOSFETの形成領域が開口されるようにフォトリソグロフィーのパターンを形成する工程と、前記フォトリソグロフィーをマスクとして、開口部内のサイドウォールスペースの一部を除去する工程と、全てのMOSFET形成領域において、前記素子分離膜と前記ゲート電極と前記サイドウォールスペースをマスクとして、不純物を半導体基板中に導入し、ソース・ドレイン領域の高濃度領域を形成する工程を具備することを特徴とする。

10 【0015】

【実施例】以下、本発明の実施例を図面により詳細に説明する。

【0016】図1は、本発明による請求項1記載の半導体装置の構造断面図である。

【0017】P型シリコン基板8表面部に、Nチャンネル型MOSFETが形成されており、Nチャンネル型MOSFETはゲート酸化膜2、ゲート電極3、ソース・ドレイン領域9により構成されている。通常のNチャンネル型MOSFET20と比較してNチャンネル型MOSFET10のソース・ドレイン領域9の外側には、P型シリコン基板8よりも高濃度のP型不純物拡散層11が形成されている。また、各MOSFETは、素子分離膜4により分離されている。

【0018】次に、本発明による請求項2記載の半導体装置の製造方法の一実施例を図2(a)から図2(c)に基づき説明する。

【0019】まず、不純物濃度が $1 \times 10^{16} / \text{cm}^3$ から $1 \times 10^{17} / \text{cm}^3$ 位のP型シリコン基板8上に、例えば、温度が900℃から1100℃、時間が60分から90分間、雰囲気がウェット雰囲気という条件の熱酸化法により、5000オングストロームから6000オングストロームの素子分離膜4を形成し、さらに、例えば、温度が800℃から900℃、時間が20分から60分間、雰囲気がウェット雰囲気という条件の熱酸化法により、約150オングストロームのゲート酸化膜2を形成する。

【0020】次に、例えば、温度が500℃から700℃、圧力が40Paから60Pa、時間が20分から50分という条件の化学的気相成長法により4000オングストロームから5000オングストロームの多結晶シリコン膜を形成し、フォトリソグラフィおよびドライエッチングによりパターニングして、MOSFETのゲート電極3を形成する。この状態を図2(a)に示す。

【0021】次に、ジャンクションダイオードの逆方向耐圧が通常より低い値を有するMOSFET10の形成領域が開口されるようにパターニングされたフォトリソグロフィー膜19とゲート電極3と素子分離膜4をマスクとして、P型不純物、例えば、弗化ボロンイオンを50KeVから100KeVのエネルギーで $1 \times 10^{12} / \text{cm}^2$ から $1 \times 10^{13} / \text{cm}^2$ イオン注入し、N型不純物拡散

50

5

層からなるソース・ドレイン領域の外側を取り囲むためのP型不純物拡散層11を形成する。この状態を図2(b)に示す。

【0022】次に、フォトリソ膜の剥離後、Nチャンネル型MOSFET10, 20の形成領域内において、ゲート電極3と素子分離膜4をマスクとして、N型不純物、例えば、砒素イオンを80KeVから100KeVのエネルギーで $1 \times 10^{15}/\text{cm}^2$ から $1 \times 10^{16}/\text{cm}^2$ イオン注入し、N型不純物拡散層からなるソース・ドレイン領域9を形成する。この状態を図2(c)に示す。

【0023】この様にして、本発明による請求項1記載の半導体装置を製造することができる。

【0024】本実施例により、通常のNチャンネル型MOSFET20は、N型不純物拡散層からなるソース・ドレイン領域9とP型シリコン基板8の接合によるジャンクションダイオードが形成され、その逆方向耐圧は11Vから13V位の値が得られる。一方、ソース・ドレイン領域の外側にP型不純物拡散層11を有するMOSFET10においては、N型不純物拡散層からなるソース・ドレイン領域9とP型不純物拡散層11の接合によるジャンクションダイオードが形成され、MOSFET20に比べて高濃度の不純物拡散層によるジャンクションダイオードであるため、その逆方向耐圧は7Vから9V位の値となり、MOSFET20よりも低い逆方向耐圧となる。本実施例における、ゲート膜の絶縁耐圧は約10Vであるため、本発明によって、ゲート膜の絶縁耐圧よりも逆方向耐圧の低いジャンクションダイオードが形成でき、静電気等の高電圧から半導体装置の内部回路が保護される。

【0025】尚、ゲート膜の膜厚の変更あるいは膜質の変更などにより、ゲート膜の絶縁耐圧が変化した場合には、P型不純物拡散層11あるいはN型不純物拡散層からなるソース・ドレイン領域9の不純物濃度を適時変更することにより、ゲート膜の絶縁耐圧より低い逆方向耐圧を有するジャンクションダイオードを形成することが可能である。

【0026】図3は、本発明による請求項3記載の半導体装置の構造断面図である。

【0027】P型シリコン基板8表面上に、素子分離膜4及びNチャンネル型MOSFETのゲート酸化膜2及びゲート電極3及びサイドウォールスペーサ6が形成されている。Nチャンネル型MOSFETは2種類あり、通常のNチャンネル型MOSFET12は、ソース・ドレイン領域がN型不純物拡散層からなる低濃度領域13とN型不純物拡散層からなる高濃度領域14の二つの領域により構成されており、一方、入出力端子に接続されるNチャンネル型MOSFET15は、ソース・ドレイン領域がN型不純物拡散層からなる高濃度領域14のみにより構成されている。

6

【0028】MOSFETのソース・ドレイン領域とシリコン基板により形成されるジャンクションダイオードにおいては、ゲート電極3の端部下側のシリコン基板内では、ゲート電極の電位による電界の影響により、ジャンクションダイオードに逆方向の電位がかかったときの空乏層の広がり方が抑えられ電界集中が起るため、ジャンクションダイオードの逆方向耐圧が最も低くなる。その部分について、本実施例により、ソース・ドレイン領域が低濃度領域13と高濃度領域14により構成されているNチャンネル型MOSFET12においては、N型不純物拡散層からなるソース・ドレイン領域の低濃度領域13とP型シリコン基板8の接合によるジャンクションダイオードが形成され、その逆方向耐圧は11Vから13V位の値が得られる。一方、ソース・ドレイン領域が高濃度領域14のみにより構成されているNチャンネル型MOSFET15においては、N型不純物拡散層からなるソース・ドレイン領域の高濃度領域14とP型シリコン基板8の接合によるジャンクションダイオードが形成され、MOSFET12に比べて高濃度の不純物拡散層によるジャンクションダイオードであるため、その逆方向耐圧は5Vから9V位の値となり、MOSFET12よりも低い逆方向耐圧となる。本実施例における、ゲート膜の絶縁耐圧は約10Vであるため、本発明によって、ゲート膜の絶縁耐圧よりも逆方向耐圧の低いジャンクションダイオードが形成でき、静電気等の高電圧から半導体装置の内部回路が保護される。

【0029】尚、ゲート膜の膜厚の変更あるいは膜質の変更などにより、ゲート膜の絶縁耐圧が変化した場合には、N型不純物拡散層からなるソース・ドレイン領域の高濃度領域14の不純物濃度を適時変更することにより、ゲート膜の絶縁耐圧より低い逆方向耐圧を有するジャンクションダイオードを形成することが可能である。

【0030】図4は、本発明による請求項4記載の半導体装置の構造断面図である。

【0031】P型シリコン基板8表面上に、素子分離膜4及びNチャンネル型MOSFETのゲート酸化膜2及びゲート電極3が形成されている。Nチャンネル型MOSFETのソース・ドレイン領域は、N型不純物拡散層からなる低濃度領域13とN型不純物拡散層からなる高濃度領域14の二つの領域により構成されている。Nチャンネル型MOSFETは2種類あり、一方のNチャンネル型MOSFET16のサイドウォールスペーサ17の幅は、他方のNチャンネル型MOSFET18のサイドウォールスペーサ6の幅よりも狭くなっている。

【0032】次に、本発明による請求項5記載の半導体装置の製造方法の一実施例を図5(a)から図5(c)に基づき説明する。

【0033】まず、請求項2記載の半導体装置の製造方法の実施例に示したのと同様の方法で、P型シリコン基板8表面上に、素子分離膜4とゲート酸化膜2とゲート電

極3を形成する。

【0034】次に、全てのNチャンネル型MOSFETの形成領域において、ゲート電極3と素子分離膜4をマスクとして、N型不純物、例えば、リンイオンを100KeVから150KeVのエネルギーで $1 \times 10^{13}/\text{cm}^2$ から $2 \times 10^{13}/\text{cm}^2$ イオン注入し、N型不純物拡散層からなるソース・ドレイン領域の低濃度領域13を形成する。この状態を図5(a)に示す。

【0035】次に、例えば、温度が400℃から500℃、時間が50分から80分という条件の化学的気相成長法により4000オングストロームから5000オングストロームのシリコン酸化膜を形成し、反応性イオンエッチングにより異方的にシリコン酸化膜をエッチングしてゲート電極3の側壁部にサイドウォールスペーサ6を形成する。

【0036】次に、ジャンクションダイオードの逆方向耐圧が通常より低い値を有するMOSFET16の形成領域が開口されるようにパターニングされたフォトレジスト膜19をマスクとして、開口部内のサイドウォールスペーサを、例えば、弗化水素水溶液と弗化アンモニウム液の混合液、あるいは希釈した弗化水素水溶液を用いたウェットエッチングによりエッチングし、サイドウォールスペーサ6より幅の狭いサイドウォールスペーサ17を形成する。この状態を図5(b)に示す。

【0037】次に、サイドウォールスペーサ6とサイドウォールスペーサ17とゲート電極3と素子分離膜4をマスクとして、N型不純物、例えば、砒素イオンを80KeVから100KeVのエネルギーで $1 \times 10^{15}/\text{cm}^2$ から $1 \times 10^{16}/\text{cm}^2$ イオン注入し、N型不純物拡散層からなるソース・ドレイン領域の高濃度領域14を形成する。この状態を図5(c)に示す。

【0038】この様にして、本発明による請求項4記載の半導体装置を製造することができる。

【0039】本実施例により、通常の幅のサイドウォールスペーサ6を有するNチャンネル型MOSFET18においては、N型不純物拡散層からなるソース・ドレイン領域の低濃度領域13とP型シリコン基板8の接合によるジャンクションダイオードが形成され、その逆方向耐圧は11Vから13V位の値が得られる。一方、通常よりも幅の狭いサイドウォールスペーサ17を有するNチャンネル型MOSFET16においては、ソース・ドレイン領域の高濃度領域14とP型シリコン基板8の距離が、ゲート電極3の端部下側のシリコン基板内において、MOSFET18に比べて近いため、ソース・ドレイン領域の低濃度領域13とP型シリコン基板8の接合によるジャンクションダイオードに逆方向の電位がかかったときの空乏層の広がりが増えられ、電界集中が起るため、その逆方向耐圧は7Vから9V位の値となり、MOSFET18よりも低い逆方向耐圧となる。

【0040】本実施例における、ゲート膜の絶縁耐圧は

約10Vであるため、本発明によって、ゲート膜の絶縁耐圧よりも逆方向耐圧の低いジャンクションダイオードが形成でき、静電気等の高電圧から半導体装置の内部回路が保護される。

【0041】尚、ゲート膜の膜厚の変更あるいは膜質の変更などにより、ゲート膜の絶縁耐圧が変化した場合には、サイドウォールスペーサの幅を適時変更することにより、ゲート膜の絶縁耐圧より低い逆方向耐圧を有するジャンクションダイオードを形成することが可能である。

【0042】以上実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、例えば、MOSFETがPチャンネル型である場合にも、不純物のタイプを逆にすることで、本発明を適応できる。またその他、本発明の主旨を逸脱しない範囲において、各々変更可能であることは言うまでもない。

【0043】また、本実施例においては、ジャンクションダイオードの逆方向耐圧を下げたいMOSFETについて、ソース領域とドレイン領域の両方の構造に本発明を適用した場合について述べたが、通常入出力端子と接続され高電圧が印加されるおそれがあるのはドレイン領域であるため、ドレイン領域の構造のみに本発明を適用することでも本発明の目的を達成できる。

【0044】

【発明の効果】以上述べたように本発明によれば、高濃度領域と低濃度領域からなるソース・ドレイン領域を有するMOSFETを具備する半導体装置において、任意のMOSFETのソース・ドレイン領域の構造を変更することにより、ソース・ドレイン領域と基板間で形成されるジャンクションダイオードの逆方向耐圧をゲート膜の絶縁耐圧以下に下げ、高電位がゲート膜にかからないようにすることで、外部からの高電圧から、内部回路を保護する事ができるという多大な効果が得られる。

【図面の簡単な説明】

【図1】本発明の半導体装置の構造断面図を示す図である。

【図2】本発明の半導体装置の製造方法の一実施例を示す図である。

【図3】本発明の半導体装置の構造断面図を示す図である。

【図4】本発明の半導体装置の構造断面図を示す図である。

【図5】本発明の半導体装置の製造方法の一実施例を示す図である。

【図6】従来の半導体装置の構造断面図を示す図である。

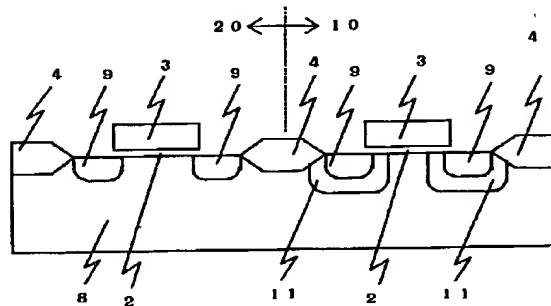
【符号の説明】

- 1 シリコン基板
- 2 ゲート酸化膜
- 3 ゲート電極

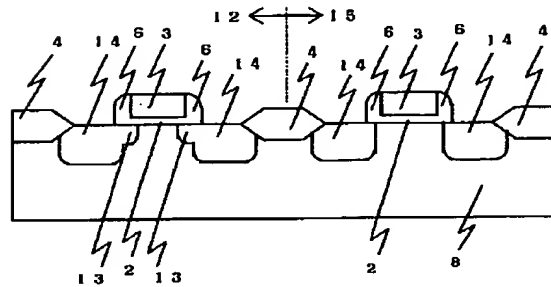
9

- 4 素子分離膜
- 5 ソース・ドレイン領域の低濃度領域
- 6 サイドウォールスペーサ
- 7 ソース・ドレイン領域の高濃度領域
- 8 P型シリコン基板
- 9 ソース・ドレイン領域
- 10 Nチャンネル型MOSFET
- 11 P型不純物拡散層
- 12 Nチャンネル型MOSFET

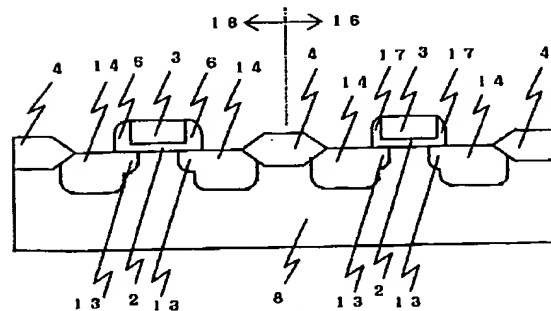
【図1】



【図3】



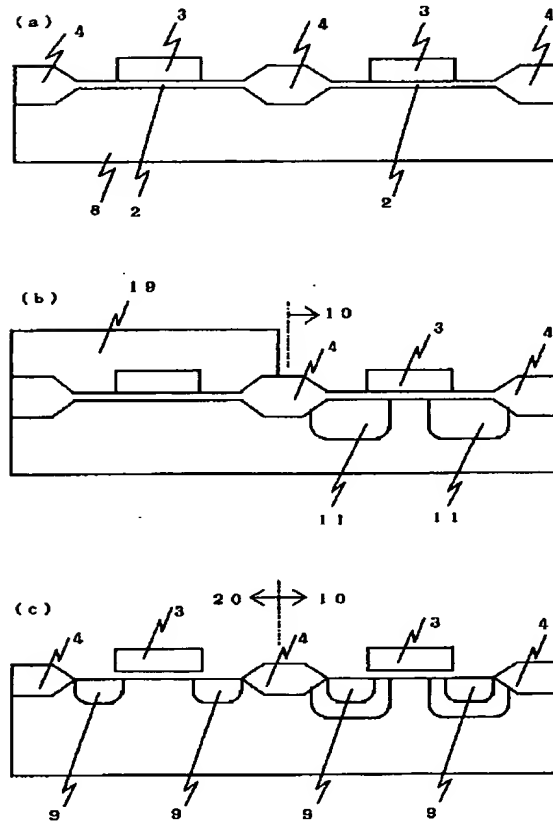
【図4】



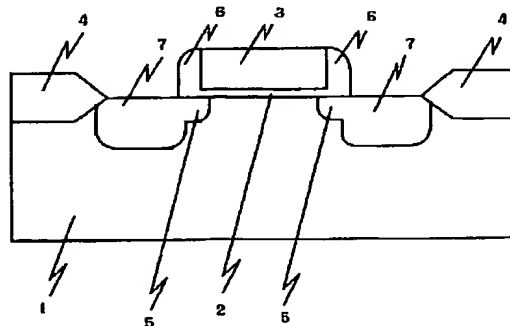
10

- 13 ソース・ドレイン領域の低濃度領域
- 14 ソース・ドレイン領域の高濃度領域
- 15 Nチャンネル型MOSFET
- 16 Nチャンネル型MOSFET
- 17 サイドウォールスペーサ
- 18 Nチャンネル型MOSFET
- 19 フォトリソグ膜
- 20 Nチャンネル型MOSFET

【図2】



【図6】



【図5】

